



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 25 276 A 1**

⑤ Int. Cl.⁶:
G 09 G 3/36
// H04N 3/10

⑳ Aktenzeichen: 198 25 276.5
㉔ Anmeldetag: 5. 6. 98
㉓ Offenlegungstag: 21. 1. 99

③① Unionspriorität:
32096 10. 07. 97 KR
㉑ Anmelder:
LG Electronics Inc., Seoul/Soul, KR
㉒ Vertreter:
Viering, Jentschura & Partner, 80538 München

㉑ Erfinder:
Ha, Yong Min, Anyang, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Flüssigkristallanzeige

⑤⑦ Flüssigkristallanzeigevorrichtung mit im Zeit-Multiplex-Betrieb angetriebenen Datenleitungen einer Pixel-Matrix. Die Vorrichtung überträgt Ausgabesignale von wenigstens zwei integrierten Datentreiberschaltkreisen an eine Mehrzahl von Datenleitungen unter Verwendung von wenigstens zwei Multiplexern. Ferner werden die Videodaten umgeordnet, bevor sie an die wenigstens zwei integrierten Datentreiberschaltkreise weitergeleitet werden. Auf diese Weise ist es möglich, die Anzahl von in der Flüssigkristallanzeigevorrichtung erforderlichen integrierten Datentreiberschaltkreisen gering zu halten und so die Verdrahtungsstruktur zwischen der Pixel-Matrix und den integrierten Datentreiberschaltkreisen einfach zu halten.

DE 198 25 276 A 1

DE 198 25 276 A 1

Die Erfindung betrifft eine Flüssigkristallanzeigevorrichtung (LCD-Vorrichtung, liquid crystal display) mit Dünnschichttransistoren (TFTs) als Schaltmatrix und insbesondere eine mit digitalen Videodaten ansteuerbare Flüssigkristallanzeigevorrichtung.

Bisher sind Signalübertragungssysteme, die ein analoges Bildsignal in ein digitales Bildsignal zur Datenkompression umwandeln, verwendet worden, um Bilder mit einer hohen Auflösung an eine Anzeigevorrichtung weiterzuleiten. Ein Flüssigkristallanzeigepaneel ist entwickelt worden, das von digitalen Bilddaten anstatt von den bisher verfügbaren analogen Bilddaten ansteuerbar ist.

Eine auf dieser Entwicklung basierende digitale Flüssigkristallanzeigevorrichtung, wie aus Fig. 1 ersichtlich, weist einen Gate-Treiber 12 zum Ansteuern von Gate-Leitungen GL eines Flüssigkristallanzeigepaneels und eine Mehrzahl von integrierten Datentreiberschaltkreisen, die im folgenden einfach als "D-IC" bezeichnet werden, zum zeitgeteilten Ansteuern von Datenleitungen DL des Flüssigkristallanzeigepaneels 10 auf. Bei der Flüssigkristallanzeigevorrichtung 10 sind die TFTs im Bereich der Kreuzungen der Gate-Leitungen L mit den Datenleitungen DL angeordnet (nicht gezeigt), und mit jedem dieser TFTs ist eine Flüssigkristallzelle verbunden. Der Gate-Treiber 12 steuert die Gate-Leitungen GL während einer jeden Scan-Periode nacheinander in einem horizontalen Scan-Intervall mit einem Gate-Steuersignal an. Das heißt, daß der Gate-Treiber 12 die in dem Flüssigkristallpaneel 10 angeordneten TFTs nacheinander für jede einzelne Leitung ansteuert. Ferner konvertieren die D-ICs 14 die Videodaten in analoge Datensignale in jedem horizontalen Scan-Intervall unter Verwendung eines Daten-Steuersignals und steuern mit dem konvertierten analogen Videosignal die Datenleitungen DL an. Insbesondere nimmt jeder D-IC 14 seiner Ausgangsleitung entsprechende Videodaten auf und konvertiert diese in digitale Videosignale. Außerdem steuert jeder der D-ICs 14 die mit dessen Ausgangsleitung verbundenen Datenleitungen DL mit den analogen Videosignalen an. Dementsprechend steuern mit einer Leitung mit den TFTs dieser Leitung verbundenen Flüssigkristallzellen die Lichttransmission durch diese hindurch gemäß der Spannungshöhe dieser Leitung.

Bei den digitalen Flüssigkristallanzeigevorrichtungen mit der oben beschriebenen Anordnung ist es nachteilig, daß eine große Anzahl von D-ICs erforderlich ist, da diese die Datenleitungen entsprechend ihrer Ausgänge ansteuern, so daß die Schaltkreisanordnung sehr groß ist.

Um diesen Nachteil bei der herkömmlichen LCD-Vorrichtung zu beseitigen, wurde eine Flüssigkristallanzeigevorrichtung vorgeschlagen, die im Zeit-Multiplex-Betrieb betrieben wird. Eine solche Vorrichtung ist in dem 1993 in IEEE-Journal erschienenen Artikel mit dem Titel "An LCD Addressed by a-Si:H TFTs with Peripheral poly-Si TFT Circuit" von Tanaka et al. und in einem Artikel, der im "Euro Display '96" mit dem Titel "Ar⁺ Laser Annealed Poly-Si TFTs for Large Area LCDs" von Kato et al. veröffentlicht wurde, beschrieben. Gemäß dieser Artikel verbessert eine im Zeit-Multiplex-Betrieb betriebene Flüssigkristallanzeigevorrichtung die Ein- und Ausschaltgeschwindigkeit der TFTs dadurch, daß sie derart ausgebildet sind, daß sie eine Doppelschicht aus polykristallinem Silizium und amorphem Silizium aufweisen. Ferner ermöglicht diese Vorrichtung, daß die Datenleitungen im Zeit-Multiplex-Betrieb angesteuert werden, indem zwischen den Ausgängen eines jeden D-IC und den Datenleitungen ein Multiplexer angeordnet wird. Dementsprechend kann mit einer im Zeit-Multiplex-Betrieb betriebenen Flüssigkristallanzeigevorrichtung die

erforderliche Anzahl von D-ICs auf weniger als die Hälfte verringert werden.

Bei solch einer Vorrichtung ist jedoch der Abstand zwischen verschiedenen, von einem einzigen Multiplexer angesteuerten Datenleitungen sehr groß, da der Multiplexer zwischen diesen hin und her schaltet. Dies führt zu einer komplizierten Verdrahtungsanordnung des Flüssigkristallanzeigepaneels sowie zu einer Störung des Videosignals. Da die D-ICs ferner nacheinander Videodaten für jeweils eine Leitung aufnehmen müssen, sind Aufnahmezeitsteuerungen mit einer der Anzahl der Videodaten für eine Leitung entsprechenden Frequenz für die D-ICs erforderlich.

Es ist die Aufgabe der Erfindung, eine Flüssigkristallanzeigevorrichtung bereitzustellen, mit der eine einfache Schaltkreiskonfiguration mit einer einfachen Verdrahtungsstruktur möglich ist, und mit der die Aufnahmeperiode von Videodaten verzögert werden kann.

Um dies zu erreichen, weist eine Flüssigkristallanzeigevorrichtung gemäß eines Gesichtspunktes der Erfindung auf: (1) ein Flüssigkristallanzeigepaneel, in dem Bildelementzellen im Bereich einer jeden Kreuzung einer Datenleitung mit einer Gate-Leitung angeordnet sind; (2) einen ersten Datentreiberschaltkreis zum Bereitstellen einer Mehrzahl von Videosignalen; (3) einem zweiten Datentreiberschaltkreis zum Bereitstellen einer Mehrzahl von Videosignalen; und (4) einer Mehrzahl von Multiplex-Schaltkreisen, die jeweils eines der von dem ersten Datentreiber bzw. dem zweiten Datentreiber bereitgestellten Videosignale aufnehmen und diese jeweils an eine bestimmte Gruppe von Datenleitungen ausgeben.

Gemäß eines anderen Gesichtspunktes der Erfindung weist eine Flüssigkristallanzeigevorrichtung auf: (1) ein Flüssigkristallpaneel, in dem rote Bildelementzellen, grüne Bildelementzellen und blaue Bildelementzellen im Bereich der Kreuzungen der Datenleitungen mit den Gate-Leitungen angeordnet sind, wobei sich die roten Bildelementzellen, die grünen Bildelementzellen und die blauen Bildelementzellen in horizontaler Richtung wiederholen; (2) einen ersten Datentreiber zum Bereitstellen einer Mehrzahl von Videosignalen; (3) einen zweiten Datentreiber zum Bereitstellen einer Mehrzahl von Videosignalen; und (4) eine Mehrzahl von Multiplex-Schaltkreisen, die jeweils ein von dem ersten Datentreiberschaltkreis bzw. dem zweiten Datentreiberschaltkreis bereitgestelltes Videosignal aufnehmen und dieses selektiv an eine entsprechende Gruppe der Datenleitungen ausgeben.

Gemäß eines anderen Gesichtspunktes der Erfindung weist eine Flüssigkristallanzeigevorrichtung auf: (1) ein Flüssigkristallpaneel, in dem Bildelementzellen im Bereich einer jeden Kreuzung von n-Datenleitungen mit m-Gate-Leitungen angeordnet sind, wobei n und m positiv und ganzzahlig sind; (2) einer Mehrzahl von Multiplex-Vorrichtungen, deren Anzahl von dem Quotienten n/p gegeben ist, wobei jede Multiplex-Vorrichtung zum Ausgeben eines Datensignals an p der n Datenleitungen vorgesehen ist, wobei p positiv und ganzzahlig sowie kleiner als n ist; und (3) Datentreiberschaltkreise, deren Anzahl durch q gegeben ist, zum im Zeit-Multiplex-Betrieb durchgeführten Ansteuern der Mehrzahl von Multiplex-Vorrichtungen, wobei q positiv und ganzzahlig ist.

Im folgenden werden bevorzugte Ausführungsformen der Erfindung unter Bezugnahme auf die Zeichnung beschrieben.

In der Zeichnung zeigen:

Fig. 1 eine schematische Ansicht einer herkömmlichen Flüssigkristallanzeigevorrichtung;

Fig. 2 ein Blockdiagramm einer Flüssigkristallanzeigevorrichtung gemäß einer bevorzugten Ausführungsform der

Erfindung;

Fig. 3 und 4 Signaldiagramme, die den Betrieb des aus Fig. 2 ersichtlichen Schaltkreises veranschaulichen;

Fig. 5 ein detailliertes Blockdiagramm einer bevorzugten Ausführungsform des aus Fig. 2 ersichtlichen Datenumwandlungsbereichs; und

Fig. 6 ein detailliertes Blockdiagramm einer zweiten bevorzugten Ausführungsform des aus Fig. 2 ersichtlichen Datenumwandlungsbereichs.

Aus Fig. 2 ist eine Flüssigkristallanzeigevorrichtung gemäß einer bevorzugten Ausführungsform der Erfindung ersichtlich, wobei die Flüssigkristallanzeigevorrichtung einen Gate-Treiber 22 zum Ansteuern der Gate-Leitungen GM1 bis GM600 einer Pixel-Matrix 20 und D-ICs 24a und 24b zum Ansteuern der Datenleitung DL1 bis DL2400 der Pixel-Matrix 20 aufweist. Die Pixel-Matrix 20 weist 600 × 2400 Bildelemente auf, die jeweils im Bereich einer Kreuzung der Gate-Leitungen GM1 bis GM600 mit den Datenleitungen DL1 bis DL2400 angeordnet sind, um ein Bild mit einer Auflösung von 600 × 800 Pixel anzuzeigen. Jedes der Bildelemente weist einen einzigen TFT und eine einzige Flüssigkristallzelle auf. Eine Gate-Elektrode und eine Daten-Elektrode des im Bildelement angeordneten TFTs sind mit der Gate-Leitung GM bzw. der Daten-Leitung GL verbunden. Die 2400 Datenleitungen DL1 bis DL2400 sind 800 Gruppen von jeweils 3 Pixel-Elementen zugeordnet, so daß in jeder Gruppe das rote Farbelement R, das grüne Farbelement G und das blaue Farbelement B angesteuert werden können. Diese Datenleitungen für rot R, grün G und blau B sind abwechselnd angeordnet. Der Gate-Treiber 22 steuert in einem horizontalen Scan-Intervall die Gate-Leitungen GL während einer Scan-Periode nacheinander unter Verwendung eines Gate-Steuersignals an. Mithilfe dieses Gate-Treibers 22 werden die TFTs der Pixel-Matrix 20 nacheinander eingeschaltet, um die 2400 Datenleitungen DL1 bis DL2400 jeweils mit einer der 2400 Flüssigkristallzellen zu verbinden. Gleichzeitig nehmen die D-ICs 24a und 24b in jedem horizontalen Scan-Intervall Videodaten auf und konvertieren die aufgenommenen Videodaten in Videosignale. Ferner steuern die D-ICs 24a und 24b die Datenleitungen DL mit den Videosignalen an. Dementsprechend steuern die mit den eingeschalteten TFTs verbundenen Flüssigkristallzellen die Lichttransmission durch diese hindurch gemäß der Spannungshöhe des von der Datenleitung DL kommenden Videosignals.

Ferner weist die Flüssigkristallanzeigevorrichtung Multiplexer MUX1 bis MUX600 auf, die jeweils mit den Ausgängen LD1 bis LD 600 der D-ICs 24a und 24b verbunden sind. Jeder dieser Multiplexer MUX1 bis MUX600 ist mit vier einander benachbarten Datenleitungen DLi bis DLi+3 verbunden. Jeder dieser Multiplexer MUX1 bis MUX600 legt das von dem Ausgang des D-IC 24 kommende Videosignal an die vier Datenleitungen DLi bis DLi+3 unter Verwendung des ersten bis vierten Auswahlsignals SEL1, des zweiten Auswahlsignals SEL2, des dritten Auswahlsignals SEL3 und des vierten Auswahlsignals SEL4 an. Jeder der Multiplexer MUX1 bis MUX600 weist vier MOS-Transistoren MN1 bis MN4 auf, die jeweils zwischen den Ausgängen LD der D-ICs 24 und den vier Datenleitungen DLi bis DLi+3 angeordnet sind. Das erste Auswahlsignal SEL1, das zweite Auswahlsignal SEL2, das dritte Auswahlsignal SEL3 und das vierte Auswahlsignal SEL4 weisen jeweils eine Frequenz auf, die gleich der des horizontalen Synchronisierungssignals ist. Ferner weisen das erste Auswahlsignal, das zweite Auswahlsignal, das dritte Auswahlsignal und das vierte Auswahlsignal, das aufeinander folgen und periodisch wiederkehren, jeweils einen Trigger-Bereich auf, d. h. einen H-Pegel-Bereich. Dementsprechend werden die 4 MOS-

Transistoren MN1 bis MN4 im Multiplexer MUX in jedem horizontalen Scan-Intervall nacheinander eingeschaltet, wodurch die vier Datenleitungen DLi bis DLi+3 nacheinander mit dem Ausgang LD des D-IC 24 verbunden werden. Die vier MOS-Transistoren MN1 bis MN4 können durch Schaltkreisvorrichtungen, die eine Schalterfunktion aufweisen, ersetzt werden. Die Multiplexer MUX1 bis MUX600 sind auf dem gleichen Glassubstrat 28 entlang der Pixel-Matrix 20 und dem Gate-Treiber 22 angeordnet. Es ist vorteilhaft, wenn die Multiplexer MUX1 bis MUX600 über der Pixel-Matrix 20 angeordnet sind, d. h. am oberen Rand des Glassubstrats 28, und wenn der Gate-Treiber 22 am Rand der Pixel-Matrix 20 angeordnet ist, d. h. am Rand des Glassubstrats 28. Die D-ICs 24a und 24b können auf dem gleichen integrierten Schaltkreis, wie dem Glassubstrat 28, oder auf einem anderen integrierten Schaltkreis angeordnet sein.

Ferner weist die Flüssigkristallanzeigevorrichtung einen Datenumordnungsbereich 26 auf, der die Videodaten umordnet und die umgeordneten Videodaten an die D-ICs 24a und 24b anlegt. Dieser Datenumordnungsbereich 26 trennt den roten Datenstrom R, den grünen Datenstrom G und den blauen Datenstrom B voneinander mittels eines Busses MRB für Rot, eines Busses MGB für Grün und eines Busses MBB für Blau jeweils in Gruppen. Für die beiden D-ICs 24 werden zwei Datengruppen ausgebildet, und dann werden die Datengruppen in vier Abschnitte aufgeteilt, die der Anzahl von Ausgangsleitungen des Multiplexers MUX entsprechen. Der Datenumordnungsbereich 26 legt die umgeordneten Videodaten an den D-IC 24a und den D-IC 24b an. Die Videodaten werden durch die drei Symbol-Einheiten an den ersten D-IC 24a über den ersten Trägerbus SB1, den zweiten Trägerbus SB2 und den dritten Trägerbus SB3 und an den zweiten D-IC 24b durch den vierten Trägerbus SB4, den fünften Trägerbus SB5 und den sechsten Trägerbus SB6 angelegt. Der Datenumordnungsbereich 26 kann derart entworfen sein, daß die Videodaten gleichzeitig eingegeben werden können, oder so, daß die Videodaten abwechselnd eingegeben werden können. Der Datenumordnungsbereich 26 und die D-ICs 24a und 24b werden von einem Datensteuersignal mit einem Aufnahmetrigger gesteuert, das von einem Datensteuerbus DCB eingegeben wird.

Aus Fig. 3 ist ein Zeitsteuerdiagramm des Datenumordnungsbereichs 26, der D-ICs 24 und der Multiplexer MUX1 bis MUX600 in dem Fall ersichtlich, in dem die Daten von dem Datenumordnungsbereich 26 abwechselnd an den ersten Trägerbus SB1, den zweiten Trägerbus SB2 und den dritten Trägerbus SB3 sowie an den vierten Trägerbus SB4, den fünften Trägerbus SB5 und den sechsten Trägerbus SB6 ausgegeben werden. Wie aus Fig. 3 ersichtlich, wird der Videodatenstrom abwechselnd umgeordnet, in jeder Periode, wenn die Auswahlsignale SEL1 bis SEL4 aktiviert sind, d. h. ein H-Pegelsignal wird an den ersten Trägerbus SB1, den zweiten Trägerbus SB2, den dritten Trägerbus SB3, den vierten Trägerbus SB4, den fünften Trägerbus SB5 und den sechsten Trägerbus SB6 angelegt. Insbesondere werden die umgeordneten Videodaten "R1, R2, R9 ... R397" (wobei R1 die rote Komponente des ersten Pixels darstellt, R2 die rote Komponente des zweiten Pixels darstellt, usw.) an den ersten Trägerbus SB1 angelegt, die umgeordneten Videodaten "G2, G6, G10 ... G398" an den zweiten Trägerbus SB2 angelegt und die umgeordneten Videodaten von "B3, B7, B11 ... B399" an den dritten Trägerbus SB3 angelegt, beginnend mit dem Zeitpunkt, an dem das erste Auswahlsignal SEL1 aktiviert ist. Nachdem die umgeordneten Videodaten an den ersten Trägerbus SB1, an den zweiten Trägerbus SB2 bzw. an den dritten Trägerbus SB3 angelegt wurden, werden die umgeordneten Videodaten von "R401, R405, R409 ... R797" an den vierten Trägerbus SB4, die umgeordneten Vi-

deodaten von "G402, G406, G410 ... G798" an den fünften Trägerbus SB5 und die umgeordneten Videodaten von "B403, B407, B411 ... B499" an den sechsten Trägerbus SB6 während einer Aktivierungsperiode des verbleibenden ersten Auswahlsignals SEL1 angelegt.

Auf ähnliche Weise werden, wenn das zweite Auswahlsignal SEL2, das dritte Auswahlsignal SEL3 bzw. das vierte Auswahlsignal SEL 4 aktiv sind, die umgeordneten Videodaten während eines festgelegten Intervalls an einen der Trägerbusse SB1 bis SB6 wiederholt angelegt. Gleichzeitig werden die umgeordneten Daten von "G1, G5, G9 ... G397", "B1, B5, B9 ... B397" und "R2, R6, R10 ... R398" nacheinander an den ersten Trägerbus SB1 innerhalb eines konstanten Intervalls angelegt. Ferner werden die umgeordneten Daten von "B2, B6, B10 ... B398", "R3, R7, R11 ... R399" und "G3, G7, G11 ... G399" nacheinander an den zweiten Trägerbus SB2 und die umgeordneten Daten von "R4, R8, R12 ... R400", "G4, G8, G12 ... G400" und "B4, B8, B12 ... B400" an den dritten Trägerbus SB3 während eines konstanten Intervalls angelegt. Ferner werden die umgeordneten Videodaten von "G401, G405, G409 ... G797", "B401, B405, B409 ... B797" und "R402, R406, R410 ... R798", die umgeordneten Videodaten von "B402, B406, B410 ... B798", "R403, R407, R411 ... R799" und "G403, G407, G411 ... G799" und die umgeordneten Videodaten von "R4, R8, R12 ... R400", "G4, G8, G12 ... G400" und "B4, B8, B12 ... B400" an den vierten Trägerbus SB4, den fünften Trägerbus SB5 bzw. den sechsten Trägerbus SB6 angelegt, wobei die Videodaten derart umgeordnet sind, daß sie immer abwechselnd an die Trägerbusse SB1 bis SB3 angelegt werden.

Danach werden die Auswahlsignale SEL1 bis SEL4 nacheinander aktiviert, d. h. sie weisen ein H-Pegelsignal auf, und vier Videosignale werden nacheinander an die 600 Ausgangsleitungen LD1 bis LD600 der D-ICs 24a und 24b ausgegeben. Zum Beispiel werden die Videosignale von "R1, G1, B1 und R2" nacheinander an den ersten Ausgang LD1 des D-IC 24a ausgegeben und die Videosignale von "G2, B2, B3 und D" werden nacheinander an den zweiten Ausgang LD2 des D-IC 24a ausgegeben. Auf diese Weise werden die Videosignale von "B3, R4, G4 und B4", die Videosignale von "R5, G5, B5 und R6", die Videosignale von "G6, B6, R7 und G7" und die Videosignale von "B7, R8, G8 und B8" jeweils an einen der Ausgänge LD3 bis LD6 des D-IC 24a ausgegeben.

Die 2400 an die 600 Ausgänge LD1 bis LD600 des D-IC 24a und 24b über die vier Auswahlsignalperioden ausgegebenen Videosignale werden jeweils mittels der Multiplexer MUX1 bis MUX600 an die 2400 Datenleitungen DL1 bis DL2400 angelegt, welche Multiplexer einen Schaltvorgang in Übereinstimmung mit den Auswahlsignalen SEL1 bis SEL4 durchführen. Daher ist die Anzahl von D-ICs für die Ansteuerung der Pixel-Matrix 20 stark reduziert, z. B. von 8 auf 2.

Aus Fig. 4 ist ein Zeitablaufdiagramm des Datenumordnungsbereichs 26, der D-ICs 24 und der Multiplexer MUX1 bis MUX600 in dem Fall ersichtlich, wenn die umgeordneten Videodaten gleichzeitig von dem Datenumordnungsbereich 26 an die Trägerbusse SB1 bis SB3 und an die Trägerbusse SB4 bis SB6 ausgegeben werden. Wie aus Fig. 4 ersichtlich, wechseln die an die Trägerbusse SB1 bis SB3 und an die Trägerbusse SB4 bis SB6 jeweils angelegten Videodaten vier Mal, wenn die Auswahlsignale SEL1 bis SEL4 nacheinander aktiviert werden. Insbesondere werden die umgeordneten Videodaten von "R1, R5, R9 ... R397", "G1, G5, G9 ... G397", "B1, B5, B9 ... B397" und "R2, R6, R10 ... R398" nacheinander an den ersten Trägerbus SB1 angelegt, während des Intervalls vom Zeitpunkt, wenn das erste

Auswahlsignal SEL1 aktiviert ist, bis zu dem Zeitpunkt, wenn das vierte Auswahlsignal SEL4 aktiviert ist. Wie aus Fig. 4 ersichtlich, werden die umgeordneten Videodaten auf ähnliche Weise an die Trägerbusse SB2 bis SB6 jeweils angelegt.

Danach werden die Auswahlsignale SEL1 bis SEL4 nacheinander aktiviert, d. h. SEL1 bis SEL4 werden jeweils auf ein H-Pegelsignal gesetzt, und vier Videosignale werden nacheinander auf jede der 600 Ausgangsleitungen LD1 bis LD600 der D-ICs 24a und 24b angelegt. Zum Beispiel werden die Videosignale von "R1, G1, B1 und R2" nacheinander an den ersten Ausgang LD 1 des D-IC 24a und die Videosignale von "G2, B2, B3 und G3" nacheinander an den zweiten Ausgang LD 2 des D-IC 24a ausgegeben. Auf diese Weise werden die Videosignale von "B3, R4, G4 und B4", die Videosignale "R5, G5, B5 und R6", die Videosignale von "G6, B6, R7 und G7" und die Videosignale von "B7, R8, G8 und B8" an die Ausgänge LD3 bis LD6 des D-IC 24a jeweils ausgegeben.

Die 2400 an die 600 Ausgänge LD1 bis LD600 der D-ICs 24a und 24b ausgegebenen Videosignale werden jeweils an die 2400 Datenleitungen DL1 bis DL2400 mittels der 600 Multiplexer MUX1 bis MUX600 angelegt, die einen Schaltbetrieb entsprechend der Auswahlsignale SEL1 bis SEL4 durchführen. Deshalb ist die Anzahl der für die Ansteuerung der Pixel-Matrix 20 erforderlichen D-ICs verringert, z. B. von 8 auf 2. Ferner werden die Videodaten gleichzeitig an die D-ICs 24a und 24b angelegt, wodurch die Frequenz der Zeitsteuerung verringert ist, die die D-ICs 24a und 24b zum Aufnehmen der Videodaten ansteuert.

Aus Fig. 5 ist ein detailliertes Blockdiagramm einer bevorzugten Ausführungsform des aus Fig. 2 ersichtlichen Datenumordnungsbereichs 26 ersichtlich. Wie aus Fig. 5 ersichtlich, weist der Datenumordnungsbereich 26 einen ersten Daten-Multiplexer 30, einen zweiten Daten-Multiplexer 32 und einen dritten Daten-Multiplexer 34 die mit dem Bus MRB, dem MGB bzw. dem MBB für Rot-, Grün- bzw. Blau-Daten verbunden sind, und 12 FIFO-Vorrichtungen FR1 bis FR12 (First-In-First-out, Schieberegister) auf, die in Vierergruppen parallel mit den Daten-Multiplexern 30, 32 bzw. 34 verbunden sind. Die Daten-Multiplexer 30, 32 und 34 werden angesteuert, wenn das Aktivierungssignal ENa für die erste Abteilung ein H-Pegelsignal aufweist, d. h. für eine Periode, die dem halben Scan-Intervall entspricht. Der erste Daten-Multiplexer 30 speichert nacheinander und wiederholend 400 Rot-Daten R1 bis R400 entsprechend dem halben roten Datenstrom R1 bis R800 von dem Bus für Rot MRB in den FIFOs FR1 bis FR4 in Übereinstimmung mit einem 2 Bit-Logikwert der Auswahlsignale A und B, welche nacheinander und wiederholend wechseln. Daher werden die Rot-Daten von "R1, R5, R9 ... R397", "R2, R6, R10 ... R398", "R3, R7, R11 ... R399" und "R4, R8, R12 ... R400" in den FIFOs FR1 bis FR4 jeweils gespeichert. Ähnlich zum ersten Daten-Multiplexer 30 speichert der zweite Multiplexer 32 400 Grün-Daten G1 bis G400 entsprechend dem halben Grün-Datenstrom G1 bis G800 von dem Bus für Grün MGB in den FIFOs FR5 bis FR8 gemäß den Logikwerten von Auswahlsignalen A und B, die einander abwechseln. Daher werden die Grün-Daten von "G1, G5, G9 ... G397", "G2, G6, G10 ... G398", "G3, G7, G11 ... G399" und "G4, G8, G12 ... G400" in den FIFOs FR5 bis FR8 jeweils abgespeichert. Ferner speichert ähnlich zum ersten Daten-Multiplexer 30 und zum zweiten Daten-Multiplexer 32 der dritte Multiplexer 34 nacheinander und wiederholend 400 Blau-Daten B1 bis B400 entsprechend dem halben Blau-Datenstrom B1 bis B800 von dem Bus für Blau MBB in den FIFOs FR9 bis FR12 gemäß den Logikwerten von den 2 Bit-Auswahlsignalen A und B, die einander ab-

wechseln. Daher werden die Blau-Daten von "B1, B5, B9 ... B397", "B2, B6, B10 ... B398", "B3, B7, B11 ... B399" und "B4, B8, B12 ... B400" in den FIFOs FR9 bis FR12 jeweils abgespeichert.

Ein vierter Daten-Multiplexer 36, ein fünfter Daten-Multiplexer 38 und ein sechster Daten-Multiplexer 40 sind mit dem Rot-Bus, dem Grün-Bus bzw. dem Blau-Bus MRB, MGB bzw. MBB verbunden und gleichzeitig mit dem ersten Daten-Multiplexer 30, dem zweiten Daten-Multiplexer 32 bzw. dem dritten Daten-Multiplexer 34 parallel verbunden. FIFOs 13 bis 24 sind mit den Daten-Multiplexern 36, 38 und 40 verbunden. Die Daten-Multiplexer 36, 38 und 40 werden angesteuert, wenn das Aktivierungssignal ENb für die zweite Abteilung aktiviert ist, d. h. während einer Periode, die der zweiten Hälfte des horizontalen Scan-Intervalls entspricht, wenn der erste Daten-Multiplexer 30, der zweite Multiplexer 32 und der dritte Daten-Multiplexer 34 nicht angesteuert werden. Der vierte Daten-Multiplexer 36 speichert nacheinander und wiederholend 400 Rot-Daten R401 bis R800 entsprechend einer Hälfte des Rot-Datenstroms R1 bis R800 von dem Rot-Bus MRB in den FIFOs FR13 bis FR16, gemäß der Logikwerte der Auswahlssignale A und B. Daher werden die Rot-Daten von "R401, R405, R409 ... R797", "R402, R406, R410 ... R798", "R403, R407, R411 ... R799" und "R404, R408, R412 ... R800" in den FIFOs FR13 bis FR16 jeweils abgespeichert. Ferner speichert der fünfte Multiplexer 38 nacheinander und wiederholend 400 Grün-Daten G401 bis G800 entsprechend einer Hälfte des Grün-Datenstroms G1 bis G800 von dem Grün-Bus MGB in den FIFOs FR17 bis FR20 gemäß den Logikwerten der Auswahlssignale A und B. Daher werden die Grün-Daten von "G401, G405, G409 ... G797", "G402, G406, G410 ... G798", "G403, G407, G411 ... G799" und "G404, G408, G412 ... G800" in den FIFOs FR17 bis FR20 jeweils abgespeichert. Ferner speichert der sechste Multiplexer 40 nacheinander und wiederholend 400 Blau-Daten B401 bis B800 entsprechend einer Hälfte des Blau-Datenstromes B1 bis B800 von dem Blau-Bus MBB in den FIFOs FR21 bis FR24 gemäß den Logikwerten der Auswahlssignale A und B. Daher werden die Blau-Daten von "B401, B405, B409 ... B797", "B402, B406, B410 ... B798", "B403, B407, B411 ... B799" und "B404, B408, B412 ... B800" in den FIFOs FR21 bis FR24 jeweils abgespeichert.

Außerdem weist der Datenumwandlungsbereich 26 ferner einen ersten Demultiplexer 42 zum Einlesen der Videodaten von den FIFOs FR1 bis FR12, und einen zweiten Demultiplexer 44 auf, zum Einlesen der Videodaten von den FIFOs FR13 bis FR24. Der erste Demultiplexer 42 und der zweite Demultiplexer 44 werden abwechselnd einmal während eines jeden Intervalls angesteuert, in dem die jeweiligen Auswahlssignale SEL1 bis SEL4 aktiviert sind. Zum Beispiel wird der erste Demultiplexer 42 während der ersten Hälfte des Aktivierungsintervalls des Auswahlssignals SEL1 angesteuert, und der zweite Demultiplexer 44 wird während der zweiten Hälfte des Aktivierungsintervalls des Auswahlssignals SEL1 angesteuert. Dementsprechend werden der erste Demultiplexer 42 und der zweite Demultiplexer 44 abwechselnd jeweils vier mal angesteuert, während das erste bis vierte Auswahlssignal nacheinander aktiviert werden, um die Videodaten einer einzigen Bildzeile mittels des ersten bis sechsten Trägerbusses SB1 bis SB6 auszugeben. Ferner wählen der erste Demultiplexer 42 bzw. der zweite Demultiplexer 44, wenn sie angesteuert werden, die in drei FIFOs der zwölf FIFOs FR1 bis FR12 bzw. FR13 bis FR24 gespeicherten Videodaten aus und geben diese ausgewählten Videodaten jeweils an die drei Trägerbusse SB1 bis SB3 bzw. SB4 bis SB6 aus. Insbesondere legt der erste Demultiplexer 42, wenn zum ersten mal angesteuert wird, die Rot-Daten

von "R1, R5, R9 ... R397" von dem ersten FIFO FR1, die Grün-Daten "G2, G6, G10 ... G398" von dem sechsten FIFO FR6 und die Blau-Daten "B3, B7, B11 ... B399" von dem elften FIFO FR11 an den Trägerbus SB1, SB2 bzw. SB3 an. Ferner legt der erste Demultiplexer 42, wenn er zum zweiten mal angesteuert wird, die Grün-Daten von "G1, G5, G9 ... G397" von dem fünften FIFO FR5, die Blau-Daten von "B2, B6, B10 ... B398" von dem zehnten FIFO FR10 und die Rot-Daten von "R4, R8, R12 ... R400" von dem vierten FIFO FR4 an den Trägerbus SB1, SB2 bzw. SB3 an. Ferner legt der erste Demultiplexer 42, wenn er zu dritten mal angesteuert wird, die Blau-Daten von "B1, B5, B9 ... B397" von dem neunten FIFO FR9, die Rot-Daten von "R3, R7, R11 ... R399" von dem zweiten FIFO FR2 und die Grün-Daten von "G4, G8, G12 ... G400" von dem achten FIFO FR8 an den Trägerbus SB1, SB2, bzw. SB3 an. Ferner legt der erste Demultiplexer 42, wenn er zum vierten mal angesteuert wird, die Rot-Daten von "R2, R6, R10 ... R398" von dem dritten FIFO FR3, die Grün-Daten von "G3, G7, G11 ... G399" von dem siebten FIFO FR7 und die Blau-Daten von "B4, B8, B12 ... B400" von dem zwölften FIFO FR12 an den Trägerbus SB1, SB2, bzw. SB3 an.

Andererseits legt der zweite Demultiplexer 44, wenn er zum ersten mal angesteuert wird, die Rot-Daten "R401, R405, R409 ... R797" von dem FIFO FR13, die Grün-Daten von "G402, G406, G410 ... G798" von dem FIFO FR18 und die Blau-Daten "B403, B407, B411 ... B799" von dem FIFO FR23 an den Trägerbus SB4, SB5 bzw. SB6 an. Wenn der zweite Demultiplexer 44 zum zweiten Mal angesteuert wird, überträgt er die Grün-Daten von "G401, G405, G409 ... G797" vom FIFO FR17, die Blau-Daten von "B402, B406, B410 ... B798" von FIFO FR22 und die Rot-Daten von "R404, R408, R412 ... R800" vom FIFO FR16 an die Trägerbusse SB4, SB5 bzw. SB6. Wenn der zweite Demultiplexer 44 das dritte Mal angesteuert wird, überträgt er die Blau-Daten von "B401, B405, B409 ... B797" aus dem FIFO FR21, die Rot-Daten von "R403, R407, R411 ... R799" vom FIFO FR14 und die Grün-Daten von "G404, G408, G412 ... G800" vom FIFO FR20 an die Trägerbusse SB4, SB5 bzw. SB6. Ferner überträgt der zweite Demultiplexer 44, wenn er zum vierten Mal angesteuert wird, die Rot-Daten von "R402, R406, R410 ... R798" vom FIFO FR14, die Grün-Daten von "G403, G407, G411 ... G799" vom FIFO FR19 und die Blau-Daten von "B404, B408, B412 ... B800" vom FIFO FR24 an die Trägerbusse SB4, SB5 bzw. SB6.

Dabei stellen der ersten Daten-Multiplexer 30, der zweite Daten-Multiplexer 32 und der dritte Daten-Multiplexer 34 die erste Gruppe von Umordnungsvorrichtungen dar, mit denen ein Teil des Videodatenstroms für eine Zeile mit den FIFOs FR1 bis FR12 und dem ersten Demultiplexer 42 umgeordnet werden, und der vierte Daten-Multiplexer 36, der fünfte Daten-Multiplexer 38 und der sechste Daten-Multiplexer 40 stellen die zweite Gruppe von Umordnungsvorrichtungen dar, mit denen ein Teil des Videodatenstroms für eine Zeile mit den FIFOs FR13 bis FR24 und dem zweiten Demultiplexer 44 umgeordnet werden. Die Anzahl der erforderlichen Umordnungsvorrichtungen in einer Gruppe entspricht der aus Fig. 2 ersichtlichen Anzahl von D-ICs 24. Die Anzahl der an jeden der Daten-Multiplexer angeschlossenen FIFOs entspricht der aus Fig. 2 ersichtlichen Anzahl der Ausgangsleitungen der Multiplexer MUX. Ferner sollte die gesamte Speicherkapazität der FIFOs FR1 bis FR24 groß genug sein, um die Videodaten einer Bildzeile speichern zu können.

Bevorzugt sollten zwei Bildzeilen gespeichert werden können. Wenn die gesamte Speicherkapazität der FIFOs FR1 bis FR24 groß genug ist, um Videodaten für zwei Bild-

zeilen zu speichern, können die beiden Demultiplexer 42 und 44 gleichzeitig angesteuert werden. Dementsprechend ist zur Zeitsteuerung der Datenaufnahme eine Verringerung der an die aus Fig. 2 ersichtlichen D-ICs 24 ausgegebenen Trigger-Frequenz möglich.

Aus Fig. 6 ist ein detailliertes Blockdiagramm einer anderen Ausführungsform des Datenumordnungsbereichs 26, der aus Fig. 2 ersichtlich ist, ersichtlich. Wie aus Fig. 6 ersichtlich, weist der Datenumordnungsbereich 26 9 Steuer-Schalter SW1 bis SW9 zum Multiplexen der von dem Rot-Bus MRB, dem Grün-Bus MGB bzw. dem Blau-Bus MBB kommenden Videodaten auf die 12 Speicher MR1 bis MR12 auf. Die 12 Speicher MR1 bis MR12 weisen jeweils eine Speicherkapazität auf, die ausreicht, um Farbdaten zu speichern, die der Hälfte der Farbdaten für eine Leitung entsprechen.

Der erste Steuer-Schalter SW1 liefert den Rot-Datenstrom vom Rot-Bus MRB auf eine Seite des vierten Steuer-Schalters SW4 und des siebenten Steuer-Schalters SW7 gemäß dem Logikzustand des ersten Schaltsteuersignals ENa. Das erste Schaltsteuersignal ENa verbleibt auf einem H-Pegel während einer Periode, die der ersten Hälfte des horizontalen Scan-Intervalls entspricht, während es in der zweiten Hälfte des horizontalen Scan-Intervalls entsprechenden Periode in einem L-Pegel ist. Durch dieses erste Schaltsteuersignal ENa liefert der erste Steuer-Schalter SW400 Rot-Daten R1 bis R400 entsprechend der ersten Hälfte der Rot-Daten R1 bis R800 für eine Leitung in den vierten Steuer-Schalter SW4, während 400 Rot-Daten R401 bis R800 entsprechend der zweiten Hälfte der Rot-Daten R1 bis R800 in den siebenten Steuer-Schalter SW7 geliefert werden. Entsprechend liefert der zweite Steuer-Schalter SW2 400 Grün-Daten G1 bis G400 entsprechend der ersten Hälfte der Grün-Daten G1 bis G800 für eine Leitung des Grün-Busses MGB in den fünften Steuer-Schalter SW5, während 400 Grün-Daten G401 bis G800 entsprechend der zweiten Hälfte der Grün-Daten G1 bis G800 in den achten Steuer-Schalter SW8 geliefert werden, entsprechend dem ersten Schaltsteuersignal ENa. Entsprechend dem ersten Steuer-Schalter SW1 und dem zweiten Steuer-Schalter SW2, liefert der dritte Steuer-Schalter SW3 400 Blau-Daten B1 bis B400 entsprechend der ersten Hälfte der Blau-Daten B1 bis B800 für eine Leitung des Blau-Busses MBB in den sechsten Steuer-Schalter SW6, während 400 Blau-Daten B401 bis B800 entsprechend der zweiten Hälfte der Blau-Daten B1 bis B800 in den neunten Steuer-Schalter SW9 geleitet werden entsprechend dem ersten Schaltsteuersignal ENa.

Die entsprechenden Steuer-Schalter SW4 bis SW9 liefern Farbdaten in mit einer ungeraden Zahl bzw. einer geraden Zahl bezeichneten Speicher gemäß dem Logikzustand eines horizontalen Synchronisierungspulses HP. Dieser horizontale Synchronisierungspuls HP wechselt von einem H-Pegel in einen L-Pegel und umgekehrt nach jeder Periode des horizontalen Synchronisierungssignals. Daher liefern die Steuer-Schalter SW4 bis SW9 die Farbdaten in die mit ungeraden Ziffern bezeichneten Speichern während des mit einer ungeraden Ziffer bezeichneten horizontalen Synchronisierungsintervalls und liefern Farbdaten in die mit geraden Ziffern bezeichneten Speicher während des mit geraden Zahlen bezeichneten Synchronisierungsintervalls. Insbesondere liefert während des mit einer ungeraden Zahl bezeichneten horizontalen Synchronisierungsintervalls der vierte Steuer-Schalter SW4 die Rot-Daten von "R1 bis R400" in den ersten Speicher MR1, der fünfte Steuer-Schalter SW5 die Grün-Daten von "G1 bis G400" in den dritten Speicher MR3, der sechste Steuer-Schalter SW6 die Blau-Daten von "B1 bis B400" in den fünften Speicher MR5, der siebente Steuer-Schalter SW7 die Rot-Daten von "R401 bis R800" in

den siebenten Speicher MR7, der achte Steuer-Schalter SW8 die Grün-Daten "G401 bis G800" in den neunten Speicher MR9 und der neunte Steuer-Schalter SW9 die Blau-Daten von "B401 bis B800" in den elften Speicher MR11.

Während der geradzahlig bezeichneten Synchronisierungsintervalls liefert der vierte Speicherspeicher SW4 die Rot-Daten von "R1 bis R400" in den zweiten Speicher MR2, der fünfte Steuer-Schalter SW5 die Grün-Daten von "G1 bis G400" in den vierten Speicher MR4, der sechste Steuer-Schalter SW6 die Blau-Daten von "B1 bis B400" in den sechsten Speicher MR6, der siebente Steuer-Schalter SW7 die Rot-Daten von "R401 bis R800" in den achten Speicher MR8, der achte Steuer-Schalter SW8 die Grün-Daten von "G401 bis G800" in den zehnten Speicher MR10 und der neunte Steuer-Schalter SW9 die Blau-Daten von "B401 bis B800" in den zwölften Speicher MR12.

Gleichzeitig werden die Speicher MR1 bis MR12 ausgelesen und die Daten werden in von den Eingabesequenzen verschiedenen Sequenzen ausgegeben. Der erste Speicher MR1, der dritte Speicher MR3 und der fünfte Speicher MR5 führen den Auslesevorgang gleichzeitig mit dem siebenten Speicher MR7, dem neunten Speicher MR9 und dem elften Speicher MR11 aus, und der zweite Speicher MR2, der vierte Speicher MR4 und der sechste Speicher MR6 führen den Auslesevorgang gleichzeitig mit dem achten Speicher MR8, dem zehnten Speicher MR10 und dem zwölften Speicher MR12 aus. Beim Auslesen der Daten geben der erste Speicher MR1 und der zweite Speicher MR2 400 Rot-Daten R1 bis R400 in einer Sequenz von "R1, R5, R9 ... R397", "R4, R8, R12 ... R400", "R3, R7, R11 ... R399" und "R2, R6, R10 ... R398" aus. Ähnlich zu dem ersten Speicher MR1 und dem zweiten Speicher MR2 geben der siebte Speicher MR7 und der achte Speicher MR8 400 Rot-Daten R401 bis R800 in einer Sequenz von "R401, R405, R409 ... R797", "R404, R408, R412 ... R800", "R403, R407, R411 ... R799" und "R402, R406, R410 ... R798" aus. Ferner geben beim Auslesen der dritte Speicher MR3 und der vierte Speicher MR4 400 Grün-Daten G1 bis G400 in einer Sequenz von "G2, G6, G10 ... G398", "G1, G5, G9 ... G397", "G4, G8, G12 ... G400" und "G3, G7, G11 ... G399" aus. Ähnlich geben der neunte Speicher MR9 und der zehnte Speicher MR10 400 Grün-Daten G401 bis G800 in einer Sequenz von "G402, G406, G410 ... G798", "G401, G405, G409 ... G797", "G404, G408, G412 ... G800" und "G403, G407, G411 ... G799" aus. Beim Auslesen der Daten geben der fünfte Speicher MR5 und der sechste Speicher MR6 400 Blau-Daten B1 bis B400 in einer Sequenz von "B3, B7, B11 ... B399", "B2, B6, B10 ... B398", "B1, B5, B9 ... B397" und "B4, B8, B12 ... B400" aus. Ähnlich zum fünften Speicher MR5 und zum sechsten Speicher MR6 geben der elfte Speicher MR11 und der zwölfte Speicher MR12 400 Blau-Daten B401 bis B800 in einer Sequenz von "B403, B407, B411 ... B799", "B402, B406, B410 ... B798", "B401, B405, B409 ... B797" und "B404, B408, B412 ... B800" aus.

Ferner weist der Datenumordnungsbereich 26 die Steuer-Schalter SW10 bis SW15 zum selektiven Ausgeben von Farbdaten von den mit ungeraden Zahlen bezeichneten Speichern MR1, MR3, MR5, MR7, MR9 und MR11 und Farbdaten von denen mit geraden Zahlen bezeichneten Speichern MR2, MR4, MR6, MR8, MR10 und MR12 auf. Die Steuer-Schalter SW10 bis SW15 wählen die Farbdaten entweder von denen mit ungeraden Zahlen oder mit geraden Zahlen bezeichneten Speichern gemäß dem Logikzustand des horizontalen Synchronisierungspulses HP aus, der mittels eines Inverters INV1 invertiert wird. Das heißt, daß die Steuerschalter SW10 bis SW15 die Farbdaten von den mit geraden Ziffern bezeichneten Speichern während der mit

ungeraden Ziffern bezeichneten horizontalen Synchronisierungsintervalle auswählen während die Farbdaten von den mit ungeraden Ziffern bezeichneten Speichern während der mit geraden Ziffern bezeichneten horizontalen Synchronisierungsintervalle ausgewählt werden.

Ferner weist der Datenumordnungsbereich 26 Steuer-Schalter SW16 bis SW18 auf, die von dem zweiten Schaltsteuersignal ENb, dem dritten Schaltsteuersignal ENc bzw. dem vierten Schaltsteuersignal ENd angesteuert werden. Der Datenumordnungsbereich 26 weist ferner Steuer-Schalter SW19 bis SW21 auf, die von dem zweiten Schaltsteuersignal ENb, dem dritten Schaltsteuersignal ENc bzw. dem vierten Schaltsteuersignal ENd angesteuert werden. Die Schaltsteuersignale ENb, ENc und ENd weisen ein 2 Bit-Logiksignal auf, und der Logikwert ändert sich 4 Mal während einer einzigen horizontalen Synchronisierungsperiode, wenn das erste Auswahlsignal SEL1, das zweite Auswahlsignal SEL2, das dritte Auswahlsignal SEL3 bzw. das vierte Auswahlsignal SEL4 nacheinander aktiviert sind. Dementsprechend werden die Steuer-Schalter SW16 bis SW21 während eines horizontalen Synchronisierungsintervalls 4 Mal geschaltet. Insbesondere wählt der sechzehnte Steuer-Schalter SW16 nacheinander den zehnten Steuer-Schalter SW10, den elften Steuer-Schalter SW11, den zwölften Steuer-Schalter SW12 und den zehnten Steuerschalter SW10 gemäß eines Logikwertes des zweiten Schaltsteuersignals ENb aus, so daß die umgeordneten Daten von "R1, R6, R9 ... R397", "G1, G5, G9 ... G397", "B1, B5, B9 ... B397" und "R2, R6, R10 ... R398" an den ersten Trägerbus SW1 ausgegeben. Der siebzehnte Steuer-Schalter SW17 wählt nacheinander den elften Steuer-Schalter SW11, den zwölften Steuer-Schalter SW12, den zehnten Steuer-Schalter SW10 bzw. den elften Steuer-Schalter SW11 gemäß eines Logikwertes des dritten Schaltsteuersignals ENc aus, um die umgeordneten Daten von "G2, G6, G10 ... G398", "B2, B6, B10 ... B398", "R3, R7, R11 ... R399" und "G3, G7, G11 ... G399" an den zweiten Trägerbus SB2 auszugeben. Der achtzehnte Steuer-Schalter SW18 wählt abwechselnd den zwölften Steuerschalter SW12, den zehnten Steuer-Schalter SW10, den elften Steuer-Schalter SW11 und den zwölften Steuer-Schalter SW12 gemäß eines Logikwertes des vierten Schaltsteuersignals ENd aus, um die umgeordneten Daten von "B3, B7, B11 ... B399", "R4, R8, R12 ... R400", "G4, G8, G12 ... G400" und "B4, B8, B12 ... B400" an den dritten Trägerbus SB3 auszugeben. Die von den Trägerbussen SB4, SB5 bzw. SB6 ausgegebenen umgeordneten Videodaten mittels der Steuerschalter SW19 bis SW21, die in der gleichen Weise wie die Steuer-Schalter SW16 bis SW18 betrieben werden, sind wie folgt: die umgeordneten Videodaten von "R401, R405, R409 ... R797", "G401, G405, G409 ... G797", "B401, B405, B409 ... B797" und "R402, R406, R410 ... R798" werden an den vierten Trägerbus SB4 übertragen, die umgeordneten Videodaten von "G402, G406, G410 ... G798", "B402, B406, B410 ... G798", "R403, R407, R411 ... R799" und "G403, G407, G411 ... G799" werden an den fünften Trägerbus SB5 übertragen und die umgeordneten Videodaten von "B403, B407, B411 ... B799", "R404, R408, R412 ... R800", "G404, G408, G412 ... G800" und "B404, B408, B412 ... B800" an den sechsten Trägerbus SB6 übertragen.

Wie oben beschrieben, können mit der erfindungsgemäßen Flüssigkristallanzeigevorrichtung Videodaten für eine Bildzeile derart umgeordnet werden, daß die benachbarten TFTs für eine Bildzeile des Flüssigkristallpaneels nacheinander angesteuert werden können und gleichzeitig TFTs simultan angesteuert werden können. Dementsprechend ist es mit der erfindungsgemäßen Flüssigkristallanzeigevorrichtung möglich, die Verdrahtungsstruktur zwischen den D-ICs

und der Pixel-Matrix zu vereinfachen. Ferner ist es durch die Erfindung möglich, daß die D-ICs Videodaten gleichzeitig aufnehmen, so daß die D-ICs eine geringe Trigger-Frequenz verwenden können.

Patentansprüche

1. Flüssigkristallanzeigevorrichtung mit:
einem Flüssigkristallpaneel, in dem Bildelementzellen im Bereich der Kreuzungen von auf dem Paneel ausgebildeten Datenleitungen (DL) mit auf dem Paneel ausgebildeten Gate-Leitungen (GL) angeordnet sind;
einem ersten Datentreiberschaltkreis (24a) für die Bereitstellung einer Mehrzahl von Videosignalen;
einem zweiten Datentreiberschaltkreis (24b) zum Bereitstellen einer Mehrzahl von Videosignalen; und
einer Mehrzahl von Multiplex-Schaltkreisen (MUX), die jeweils ein entsprechendes Videosignal erhalten, das von dem entsprechenden ersten Datentreiberschaltkreis (24a) bzw. dem zweiten Datentreiberschaltkreis (24b) übertragen wird, wobei die Multiplex-Schaltkreise (MUX) die entsprechenden Videosignale an eine entsprechende Gruppe der Datenleitungen (DL) ausgeben.
2. Flüssigkristallanzeigevorrichtung nach Anspruch 1, mit:
einem Umordnungsbereich (26) zum Umordnen eingegebener Videodaten und zum Übertragen der umgeordneten Videodaten an den ersten Datentreiberschaltkreis (24a) bzw. den zweiten Datentreiberschaltkreis (24b) über einen ersten Datenpfad bzw. einem zweiten Datenpfad, die mit dem ersten Datentreiberschaltkreis (24a) bzw. dem zweiten Datentreiberschaltkreis (24b) verbunden sind.
3. Flüssigkristallanzeigevorrichtung nach Anspruch 2, wobei die umgeordneten eingegebenen Videodaten auf dem ersten Pfad mit den umgeordneten eingegebenen Videodaten auf dem zweiten Pfad in einem vorbestimmten Zusammenhang stehen.
4. Flüssigkristallanzeigevorrichtung nach Anspruch 2, wobei der Umordnungsbereich (26) aufweist:
wenigstens zwei Speicher (MR) zum temporären Abspeichern der Videodaten; und
Datenverteilungsvorrichtungen (SW) zum Verteilen der eingegebenen Videodaten auf die wenigstens zwei Speicher (MR).
5. Flüssigkristallanzeigevorrichtung nach Anspruch 4, wobei die in einem der Speicher (MR) abgespeicherten eingegebenen Videodaten von dem in einem anderen Speicher (MR) abgespeicherten Videodaten verschieden sind.
6. Flüssigkristallanzeigevorrichtung nach Anspruch 2, wobei der Umordnungsbereich (26) aufweist:
wenigstens zwei FIFO-Vorrichtungen, die mit dem ersten Datentreiberschaltkreis (24a) und dem zweiten Datentreiberschaltkreis (24b) verbunden sind; und
eine Datenverteilungsvorrichtung zum Verteilen der Videodaten von den Datenleitungen (DL) in wenigstens zwei FIFO-Vorrichtungen.
7. Flüssigkristallanzeigevorrichtung mit:
einem Flüssigkristallpaneel, bei dem rote Bildelementzellen, grüne Bildelementzellen und blaue Bildelementzellen im Bereich der Kreuzungen von Datenleitungen (DL) mit Gate-Leitungen (GL) angeordnet sind, wobei sich die roten Bildelemente, die grünen Bildelemente und die blauen Bildelemente in einer dazu horizontalen Richtung wiederholen;
einem ersten Datentreiberschaltkreis (24a) zum Über-

tragen einer Mehrzahl von Videosignalen;
 einem — zweiten — Datentreiberschaltkreis (24b) zum Übertragen einer Mehrzahl von Videosignalen; und eine Mehrzahl von Multiplex-Schaltkreisen (MUX), die jeweils ein entsprechendes Videosignal empfangen, das von dem ersten Datentreiberschaltkreis (24a) bzw. dem zweiten Datentreiberschaltkreis (24b) ausgeht, wobei die Multiplex-Schaltkreise (MUX) die entsprechenden Videosignale selektiv an eine entsprechende Gruppe von Datenleitungen (DL) ausgeben.

8. Flüssigkristallanzeigevorrichtung nach Anspruch 7, mit:
 einem Umordnungsbereich (26) zum Umordnen der eingegebenen Rot-Daten, Grün-Daten und Blau-Daten und zum Übertragen der umgeordneten Videodaten an den ersten Datentreiberschaltkreis (24a) über einen mit diesem verbundenen ersten Datenpfad bzw. einen zweiten Datentreiberschaltkreis (24b) über einen mit diesem verbundenen zweiten Datenpfad.

9. Flüssigkristallanzeigevorrichtung nach Anspruch 8, wobei die umgeordneten Videodaten auf dem ersten Pfad mit den umgeordneten Videodaten auf dem zweiten Datenpfad in einem vorbestimmten Zusammenhang stehen.

10. Flüssigkristallanzeigevorrichtung nach Anspruch 1 oder 8, wobei der erste Datenpfad und der zweite Datenpfad gleichzeitig mit umgeordneten Videodaten von der Umordnungsvorrichtung gespeist werden.

11. Flüssigkristallanzeigevorrichtung nach Anspruch 8, wobei der Umordnungsbereich (26) aufweist:
 wenigstens zwei Speicher (MR) zum temporären Abspeichern der Videodaten; und
 Datenverteilungsvorrichtungen (SW) zum Verteilen der Videodaten auf die wenigstens zwei Speicher (MR).

12. Flüssigkristallanzeigevorrichtung nach Anspruch 11, wobei die in einem der Speicher (MR) abgespeicherten Videodaten von dem in einem anderen Speicher (MR) abgespeicherten Videodaten verschieden sind.

13. Flüssigkristallanzeigevorrichtung nach Anspruch 5 oder 12, wobei die gesamte Speicherkapazität der Speicher (MR) den Speicheranforderungen einer Leitung eingegebener Videodaten entspricht.

14. Flüssigkristallanzeigevorrichtung nach Anspruch 4 oder 11, wobei die wenigstens zwei Speicher (MR) ein Mittel zum gleichzeitigen Auslesen der Videodaten von den wenigstens zwei Speichern (MR) aufweisen.

15. Flüssigkristallanzeigevorrichtung nach Anspruch 14, wobei die gesamte Speicherkapazität der wenigstens zwei Speicher (MR) den Speicheranforderungen von zwei Leitungen von Videodaten entspricht.

16. Flüssigkristallanzeigevorrichtung nach Anspruch 7, wobei der Umordnungsbereich (26) aufweist:
 wenigstens zwei FIFO-Vorrichtungen, die mit dem ersten Datentreiberschaltkreis (24a) und dem zweiten Datentreiberschaltkreis (24b) verbunden sind; und
 Datenverteilungsvorrichtungen zum Verteilen der eingegebenen Videodaten von den Datenleitungen (DL) auf die wenigstens zwei FIFO-Vorrichtungen.

17. Flüssigkristallanzeigevorrichtung nach Anspruch 1 oder 7, wobei die Mehrzahl von Multiplex-Schaltkreisen (MUX) auf dem Flüssigkristallpaneel vorgesehen ist.

18. Flüssigkristallanzeigevorrichtung nach Anspruch 1 oder 7, wobei die Mehrzahl von Multiplex-Schaltkreisen (MUX), der erste Datentreiberschaltkreis (24a) und der zweite Datentreiberschaltkreis (24b) auf dem

Flüssigkristallpaneel vorgesehen sind.

19. Flüssigkristallanzeigevorrichtung nach Anspruch 7, wobei der erste Datentreiberschaltkreis (24a) und der zweite Datentreiberschaltkreis (24b) auf einem von dem Flüssigkristallpaneel getrennten integrierten Schaltkreis vorgesehen sind.

20. Flüssigkristallanzeigevorrichtung nach Anspruch 7, wobei der erste Datentreiberschaltkreis (24a) und der zweite Datentreiberschaltkreis (24b) auf einem integrierten Schaltkreis mit dem Flüssigkristallpaneel vorgesehen sind.

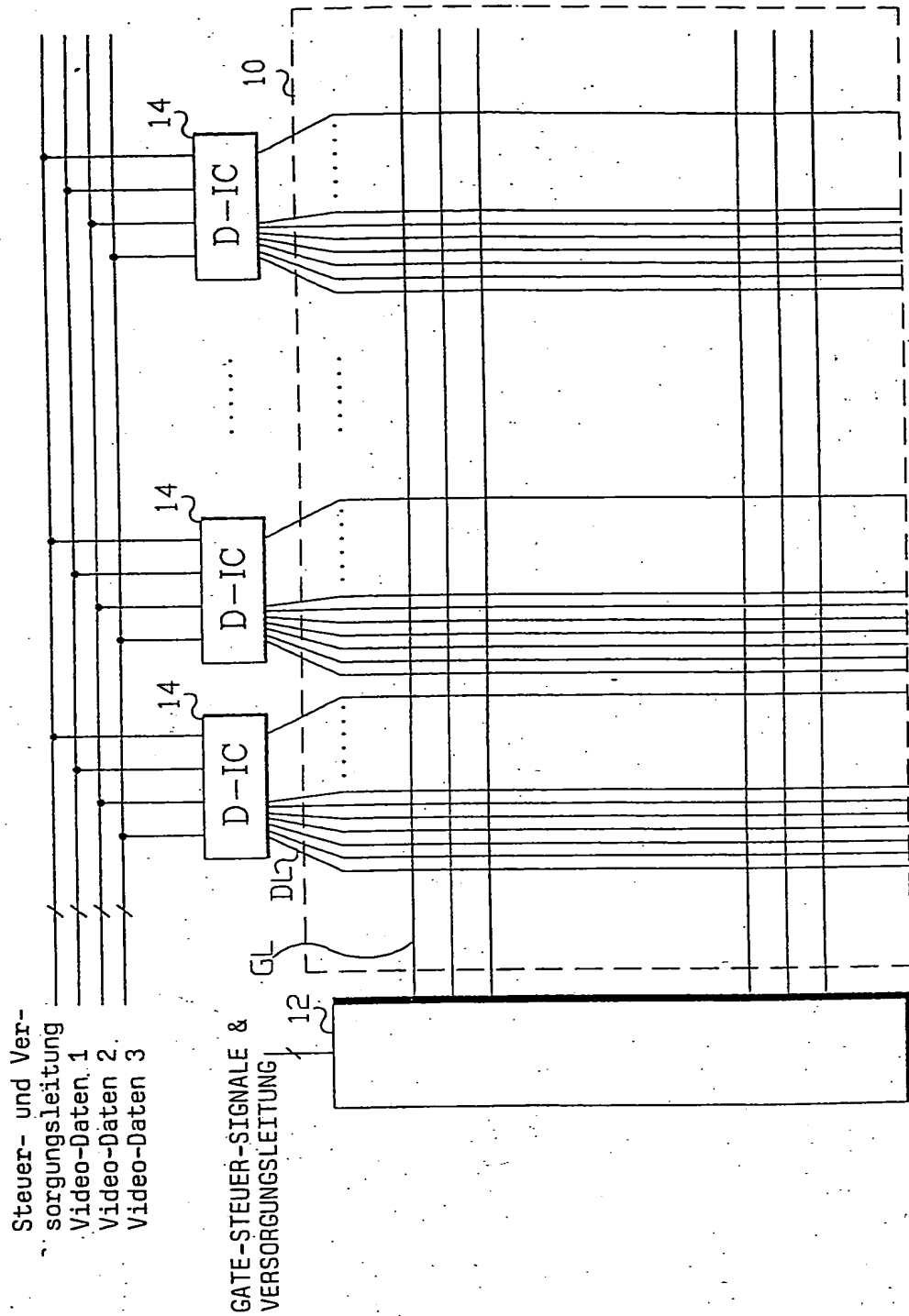
21. Flüssigkristallanzeigevorrichtung mit:
 einem Flüssigkristallpaneel, bei dem Bildelementzellen im Bereich der Kreuzungen von n Datenleitungen (DL) mit m Gate-Leitungen (GL) angeordnet sind, wobei n und m positiv und ganzzahlig sind;
 einer Mehrzahl von Multiplex-Vorrichtungen (MUX), deren Zahl durch den Quotienten n/p bestimmt ist, wobei jede Multiplex-Vorrichtung (MUX) Datensignale an p der n Datenleitungen (DL) ausgibt, wobei p positiv und ganzzahlig sowie kleiner als n ist;
 Datentreiberschaltkreisen (24a, 24b) zum Ansteuern der Mehrzahl von Multiplex-Vorrichtungen (MUX) im Zeit-Multiplex-Betrieb, wobei die Anzahl der Datentreiberschaltkreisen (24a, 24b) durch q bestimmt ist, wobei q positiv und ganzzahlig ist.

22. Flüssigkristallanzeigevorrichtung nach Anspruch 21, mit einem Umordnungsbereich (26) zum Umordnen der von den integrierten Datentreiberschaltkreisen (24a, 24b) übertragenen Videodaten.

Hierzu 6 Seite(n) Zeichnungen

Fig. 1

STAND DER TECHNIK



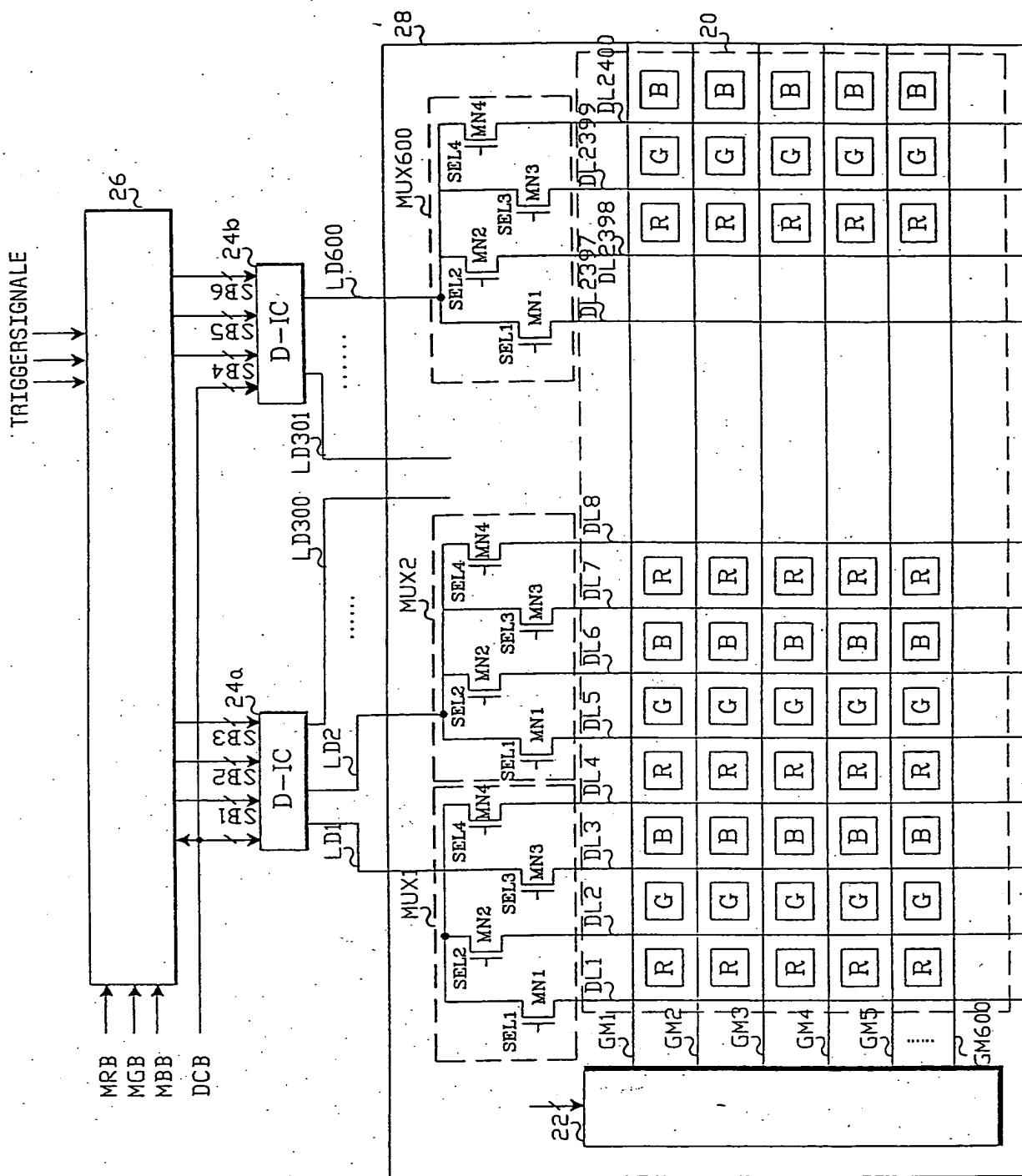


Fig. 2

351

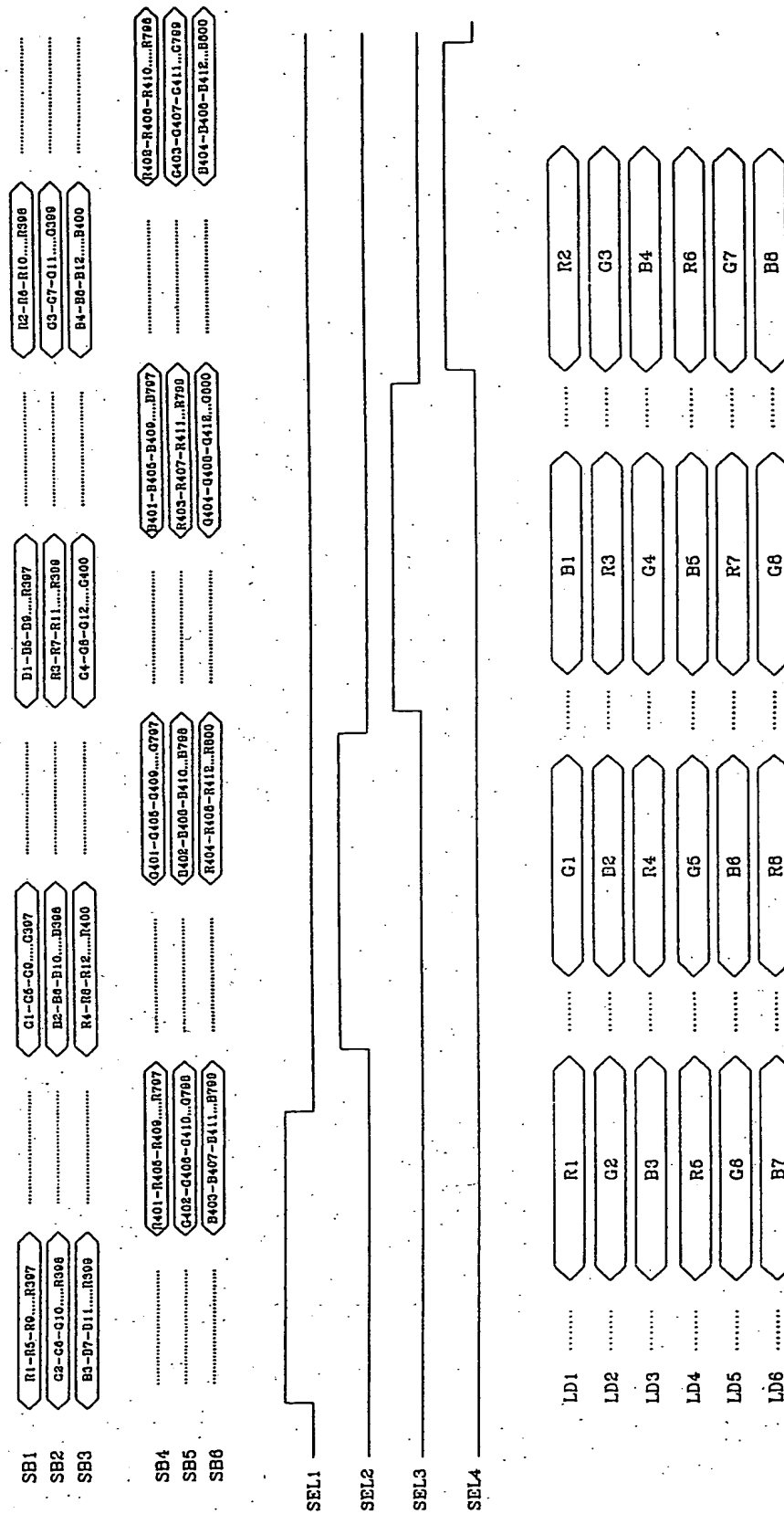


Fig. 4

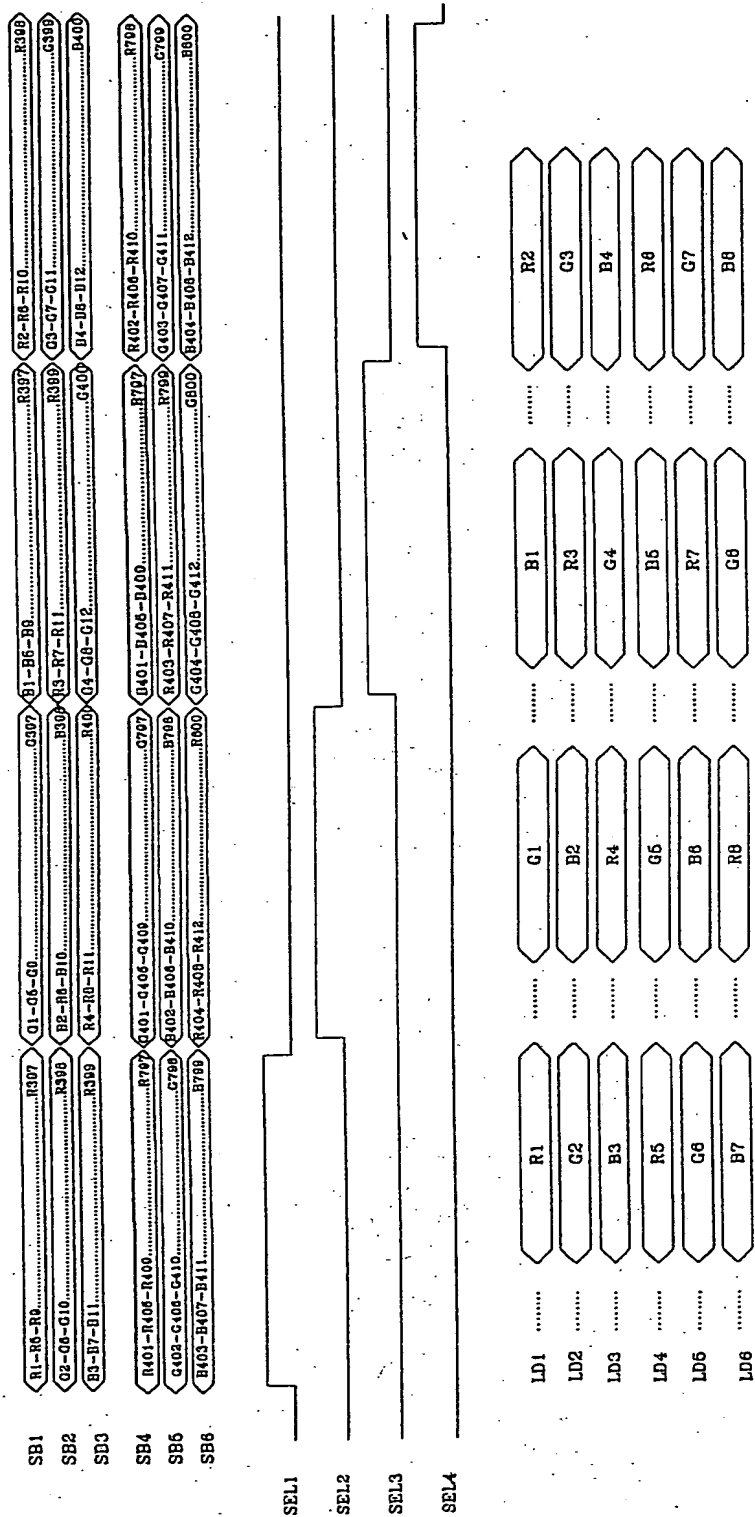


Fig. 5

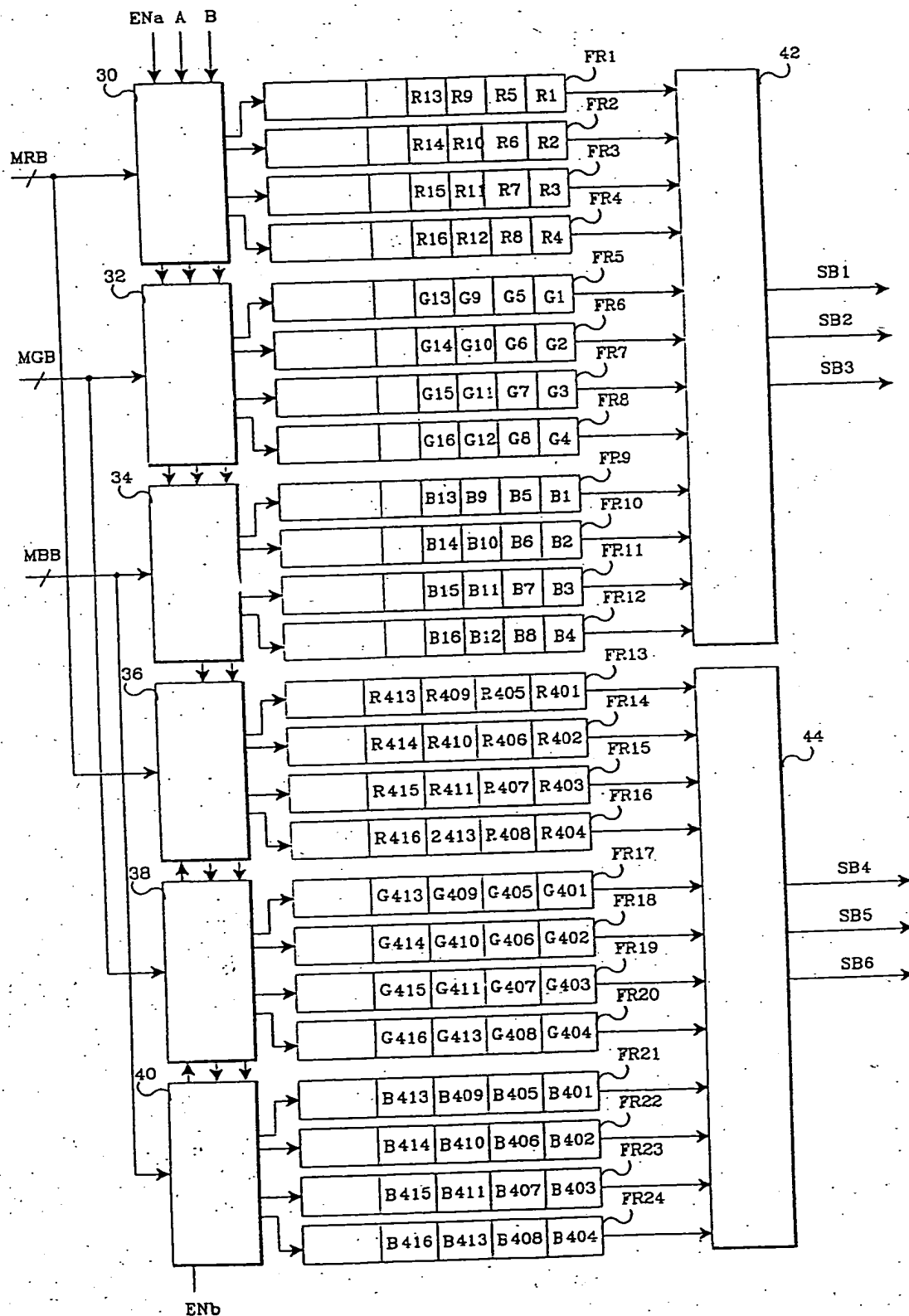
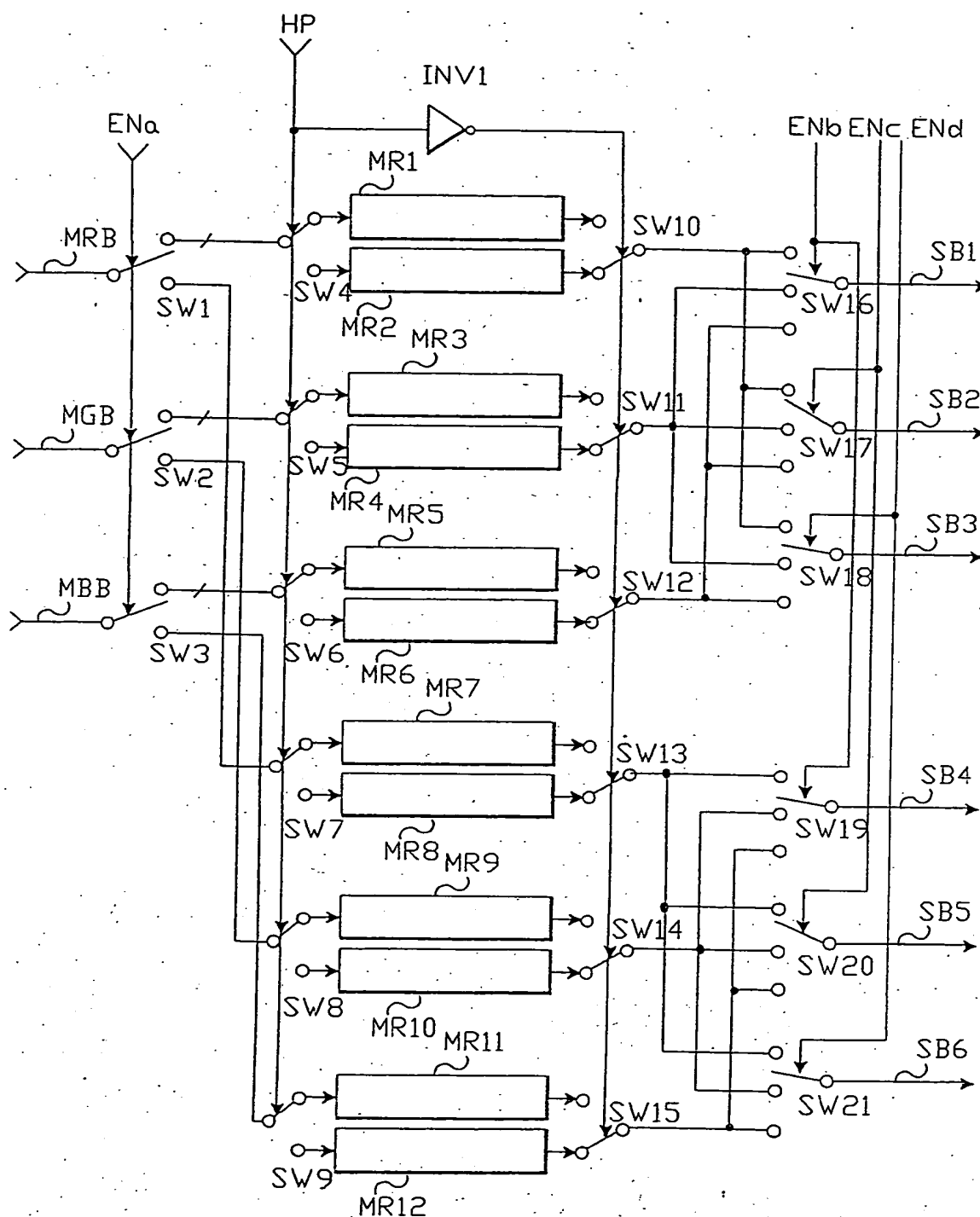


Fig.6



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.